

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049245

(43)Date of publication of application : 18.02.2000

(51)IntCl.

H01L 21/8247

H01L 29/788

H01L 29/792

G11C 16/04

G11C 16/06

H01L 27/115

(21)Application number : 10-217366

(71)Applicant : SONY CORP

(22)Date of filing : 31.07.1998

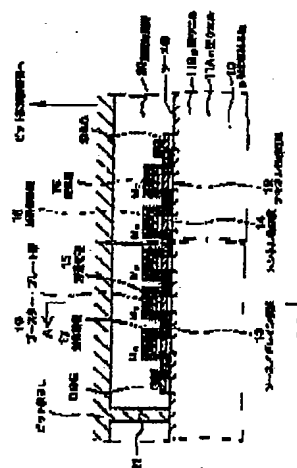
(72)Inventor : NAKAMURA AKIHIRO

(54) NONVOLATILE SEMICONDUCTOR MEMORY CELL AND DATA WRITING CONTROL METHOD IN THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data writing control method in a nonvolatile semiconductor memory cell which can reduce the voltage of program potential and the like.

SOLUTION: In a data writing control method in a nonvolatile semiconductor memory cell provided with NAND-type memory strings M0-M7, word lines, a booster plate layer 19 covering the memory strings through an interlayer insulating film 18 and transistors for switch, which are installed between a word line control circuit and the respective word lines, the potential of a control electrode 17 is set to be program potential, the word lines are electrically detached from the word line control circuit by setting the transistors for switch to be non-conduction states and the potential of the control electrode 17 is raised, based on capacitive coupling between the booster plate layer 19 and the control electrode 17 through the interlayer insulating film 18, by applying boost potential to the booster plate layer 19 at the write of data into a memory element.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-49245
(P2000-49245A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)	
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1	5 B 0 2 6
	29/788	C 1 1 C 17/00	6 2 2 E	5 F 0 0 1
	29/792		6 3 3 D	5 F 0 8 3
G 1 1 C	16/04	H 0 1 L 27/10	4 3 4	
	16/06			

審査請求 未請求 請求項の数11 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願平10-217366

(22) 出願日 平成10年7月31日 (1998.7.31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中村 明弘

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094363

弁理士 山本 孝久

最終頁に続く

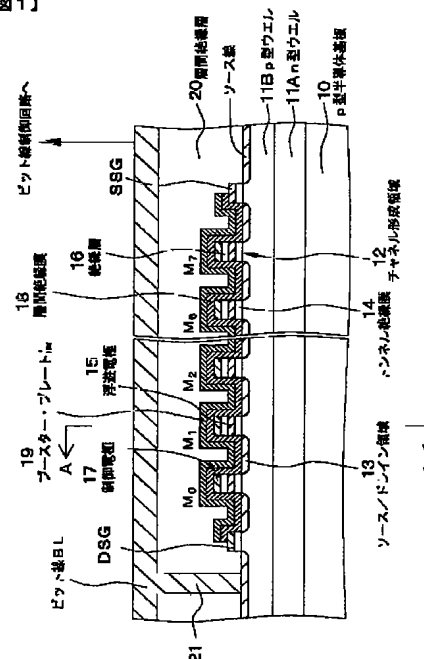
(54) 【発明の名称】 不揮発性半導体メモリセル、及び不揮発性半導体メモリセルにおけるデータ書き込み制御方法

(57) 【要約】

【課題】 プログラム電位等の低電圧化を図ることができる不揮発性半導体メモリセルにおけるデータ書き込み制御方法を提供する。

【解決手段】 NAND型のメモリ・ストリングM₀～M₇、ワード線、層間絶縁膜18を介してメモリ・ストリングを被覆するブースター・プレート層19、並びに、ワード線制御回路と各ワード線との間に設けられたスイッチ用トランジスタを具備した不揮発性半導体メモリセルにおけるデータ書き込み制御方法は、メモリ素子へのデータ書き込みに際して、制御電極17の電位をプログラム電位とした後、スイッチ用トランジスタを非導通状態とすることでワード線をワード線制御回路から電気的に切り離し、次いで、ブースター・プレート層19にブースト電位を印加することによって、層間絶縁膜18を介したブースター・プレート層19と制御電極17との容量結合に基づき制御電極17の電位を昇圧する。

【図1】



【特許請求の範囲】

【請求項1】(イ) 基体に形成されたソース／ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、

(ロ) 各制御電極に接続された複数のワード線、

(ハ) メモリ・ストリングの一端のメモリ素子の一方のソース／ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、並びに、

(ニ) メモリ・ストリングの他端のメモリ素子の一方のソース／ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、を具備した不揮発性半導体メモリセルであって、

(ホ) メモリ・ストリングを構成する各メモリ素子の制御電極の頂面及び側面、電荷蓄積部の側面、並びに、ソース／ドレイン領域を被覆する層間絶縁膜、

(ヘ) 層間絶縁膜上に形成され、且つ、メモリ・ストリングを構成する各メモリ素子の制御電極の頂面の上方から制御電極の側面の上方及び電荷蓄積部の側面の上方を經由してソース／ドレイン領域の上方へと延在するブースター・プレート層、並びに、

(ト) ワード線制御回路と各ワード線との間に設けられ、メモリ素子へのデータ書き込みに際して、各ワード線をワード線制御回路から電氣的に切り離すためのスイッチ用トランジスタ、を更に具備することを特徴とする不揮発性半導体メモリセル。

【請求項2】電荷蓄積部は、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜上に形成された浮遊電極、及び、浮遊電極と制御電極との間に形成された絶縁層から成ることを特徴とする請求項1に記載の不揮発性半導体メモリセル。

【請求項3】電荷蓄積部は、チャネル形成領域上に形成された第1の酸化膜、第1の酸化膜上に形成された窒化膜、及び、窒化膜と制御電極との間に形成された第2の酸化膜から成ることを特徴とする請求項1に記載の不揮発性半導体メモリセル。

【請求項4】電荷蓄積部は、チャネル形成領域上に形成された酸化膜、及び、酸化膜と制御電極との間に形成された窒化膜から成ることを特徴とする請求項1に記載の不揮発性半導体メモリセル。

【請求項5】電荷蓄積部は、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜上に形成された導電性微小結晶粒子、及び、導電性微小結晶粒子と制御電極との間に形成された絶縁層から成ることを特徴とする請求項1に記載の不揮発性半導体メモリセル。

【請求項6】(イ) 基体に形成されたソース／ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子

が、複数、直列接続されたメモリ・ストリング、

(ロ) 各制御電極に接続された複数のワード線、

(ハ) メモリ・ストリングの一端のメモリ素子の一方のソース／ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、

(ニ) メモリ・ストリングの他端のメモリ素子の一方のソース／ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、

(ホ) メモリ・ストリングを構成する各メモリ素子の制御電極の頂面及び側面、電荷蓄積部の側面、並びに、ソース／ドレイン領域を被覆する層間絶縁膜、

(ヘ) 層間絶縁膜上に形成され、且つ、メモリ・ストリングを構成する各メモリ素子の制御電極の頂面の上方から制御電極の側面の上方及び電荷蓄積部の側面の上方を經由してソース／ドレイン領域の上方へと延在するブースター・プレート層、並びに、

(ト) ワード線制御回路と各ワード線との間に設けられ、メモリ素子へのデータ書き込みに際して、各ワード線をワード線制御回路から電氣的に切り離すためのスイッチ用トランジスタ、を具備した不揮発性半導体メモリセルにおけるデータ書き込み制御方法であって、メモリ素子へのデータ書き込みに際して、スイッチ用トランジスタを導通状態として、ワード線にプログラム電位を印加することによって制御電極の電位をプログラム電位とした後、ブースター・プレート層にブースト電位を印加することによって、層間絶縁膜を介したブースター・プレート層と制御電極との容量結合に基づき、制御電極の電位を昇圧させ、且つ、スイッチ用トランジスタを非導通状態とすることによりワード線をワード線制御回路から電氣的に切り離すことを特徴とする不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項7】メモリ素子へのデータ書き込みに際して、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子の制御電極の電位の昇圧による制御電極と電荷蓄積部との容量結合及び電荷蓄積部とチャネル形成領域との容量結合に基づき、更には、ブースター・プレート層と電荷蓄積部との容量結合並びにブースター・プレート層とソース／ドレイン領域との容量結合に基づき、該他のメモリ・ストリングにおけるデータの書き込みが禁止されたメモリ素子のチャネル形成領域を昇圧することを特徴とする請求項6に記載の不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項8】電荷蓄積部は、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜上に形成された浮遊電極、及び、浮遊電極と制御電極との間に形成された絶縁層から成ることを特徴とする請求項6に記載の不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項9】電荷蓄積部は、チャネル形成領域上に形成された第1の酸化膜、第1の酸化膜上に形成された窒化膜、及び、窒化膜と制御電極との間に形成された第2の酸化膜から成ることを特徴とする請求項6に記載の不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項10】電荷蓄積部は、チャネル形成領域上に形成された酸化膜、及び、酸化膜と制御電極との間に形成された窒化膜から成ることを特徴とする請求項6に記載の不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項11】電荷蓄積部は、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜上に形成された導電性微小結晶粒子、及び、導電性微小結晶粒子と制御電極との間に形成された絶縁層から成ることを特徴とする請求項6に記載の不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体メモリセル、及び不揮発性半導体メモリセルにおけるデータ書き込み制御方法に関する。

【0002】

【従来の技術】EEPROMとして知られている不揮発性半導体メモリセルの一種に、高集積化が可能なNANDストリング型不揮発性半導体メモリセル（以下、NANDストリング型メモリセルと呼ぶ）がある。浮遊電極を有する従来のNANDストリング型メモリセルの模式的な一部断面図を図13に示し、等価回路を図14に示す。NANDストリング型メモリセルを構成する各メモリ素子 $M_0 \sim M_7$ のそれぞれは、基体（より具体的には、例えばp型ウエル11B内）に形成されたソース／ドレイン領域13及びチャネル形成領域12、チャネル形成領域12の上方にトンネル絶縁膜14を介して形成された浮遊電極15（フローティングゲートあるいは電荷蓄積電極とも呼ばれる）、並びに、浮遊電極15の上方に絶縁層16を介して形成された制御電極17（コントロールゲートあるいは制御ゲートとも呼ばれる）から構成されている。そして、NANDストリング型メモリセルにおいては、メモリ素子の一方のソース／ドレイン領域13を、隣接するメモリ素子の他方のソース／ドレイン領域13と共有化させることによって、複数のメモリ素子が直列接続されている。尚、複数のメモリ素子がこのように直列接続されている形態をメモリ・ストリングと呼ぶ。また、メモリ・ストリングの一端のメモリ素子 M_0 は、第1の選択トランジスタDSGを介してビット線BLに接続されており、メモリ・ストリングの他端のメモリ素子 M_7 は、第2の選択トランジスタSSGを介して共通ソース線に接続されている。尚、図14に示すように、複数のNANDストリング型メモリセルが列方向

に配設され、制御電極17は、行方向に配設されたワード線に接続されている。ここで、参照番号10はn型シリコン半導体基板を示し、参照番号11Aはn型ウエルを示し、参照番号20は層間絶縁層を示す。

【0003】従来のNANDストリング型メモリセルにおけるメモリ素子へのデータ書き込み動作の概要を、以下、説明する。

【0004】NANDストリング型メモリセルにおいて、データは、ビット線BLから最も離れた位置に位置するメモリ素子 M_7 から順に書き込まれる。データ書き込み動作においては、データを書き込むべきメモリ素子（以下、便宜上、選択メモリ素子と呼ぶ）の制御電極17に高電位 V_{pp} （例えば約20ボルト）を印加する。かかるメモリ素子以外のメモリ素子（以下、便宜上、非選択メモリ素子と呼ぶ）の制御電極17にはプログラム禁止電位（バス電圧とも呼ばれる）である中間電位 V_{ppm} （例えば約10ボルト）を印加する。一方、ビット線BLに、例えば0ボルトを印加する。そして、第1の選択トランジスタDSGを導通させ、第2の選択トランジスタSSGを非導通状態にすると、ビット線BLの電位はメモリ素子のソース／ドレイン領域13へと転送される。そして、選択メモリ素子においては、制御電極17とチャネル形成領域12との間の電位差に基づき、ファウラー・ノルドハイム（Fowler-Nordheim）・トンネル現象によって、チャネル形成領域12から浮遊電極15への電子の注入が生じる。その結果、選択メモリ素子の閾値電圧が当初の値から正方向にシフトし、データが選択メモリ素子に書き込まれる。一方、非選択メモリ素子においては、制御電極17とチャネル形成領域12の間には大きな電位差が生ぜず、チャネル形成領域12から浮遊電極15への電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧は当初の値から変化せず、当初のデータが非選択メモリ素子に保持される。各メモリ素子の閾値電圧 V_{th} の分布を図15に模式的に示す。

【0005】ワード線は他のNANDストリング型メモリセルと共通化されている。従って、選択メモリ素子の制御電極17に接続されたワード線に接続された他のNANDストリング型メモリセルを構成するメモリ・ストリング（以下、このようなメモリ・ストリングを他のメモリ・ストリングと呼ぶ）におけるメモリ素子（以下、このようなメモリ素子を、他の選択メモリ素子と呼ぶ）の制御電極17にも、高電位 V_{pp} が印加される。かかる他の選択メモリ素子にデータを書き込んではいない場合には、即ち、かかる他の選択メモリ素子へのデータの書き込みが禁止されている場合には、他のメモリ・ストリングに接続されているビット線BLに中間電位 V_m （例えば約10ボルト）を印加する。これによって、他の選択メモリ素子においては、制御電極17とチャネル形成領域12の間には大きな電位差が生ぜず、チャネル形成領域12から浮遊電極15への電子の注入が生

じない。従って、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0006】ビット線BLに中間電位 V_m を印加する従来の方法においては、各ビット線BL毎に設けられ、センスアンプ等から構成されたコラム回路とも呼ばれるビット線制御回路(図示せず)によってビット線BLに印加すべき中間電位 V_m を供給する必要がある、そのために、ビット線制御回路には高耐圧のトランジスタを用いなければならない。然るに、このような高耐圧のトランジスタを設けるためには広い面積が必要とされ、不揮発性半導体メモリセルの面積縮小化を図ることが困難である。

【0007】このような問題を解決するための手段として、他のNANDストリング型メモリセルにおいて、制御電極17と浮遊電極15との容量結合及び浮遊電極15とチャネル形成領域12との容量結合に基づき、ワード線に印加された電位等によって他のメモリ・ストリングにおける他の選択メモリ素子のチャネル形成領域12を昇圧させる方法が知られている。尚、このような方法はセルフ・ブースト法とも呼ばれている。セルフ・ブースト法を採用することによって、他の選択メモリ素子において、制御電極17とチャネル形成領域12との間には大きな電位差が生ぜず、他の選択メモリ素子にはデータが書き込まれない。

【0008】更に、セルフ・ブースト法を用い、ブースター電極と制御電極との容量結合に基づき制御電極を昇圧させる方法の一具体例を、文献“A Triple Polysilic on Stacked Flash Memory Cell with Wordline Self-Boosting Programming”, J.D.Choi. et al., IEDM 97, pp 283-286 (11.4.1-11.4.4)を参照して、以下、説明する。

【0009】この文献に開示されたメモリ・ストリングにおけるメモリ素子は、半導体基板に形成されたソース／ドレイン領域及びチャネル形成領域、チャネル形成領域上に、トンネル絶縁膜、浮遊電極、絶縁層、制御電極、層間絶縁膜、ブースター電極が順次、形成された構造を有する。層間絶縁膜及びブースター電極は、制御電極の上及び上方にのみ形成されており、制御電極の側面の上及び上方には形成されていない。

【0010】そして、選択メモリ素子へのデータ書き込みの際には、ワード線にプリチャージ電圧 V_{prch} (11ボルト)を印加することによって制御電極の電位を11ボルトとした後、ワード線をワード線制御回路から電気的に切り離し、次いで、ブースター電極にブースト電位 V_{boost} (11ボルト)を印加する。これによって、層間絶縁膜を介したブースター・プレート層と制御電極との容量結合に基づき、制御電極の電位を約18ボルトに昇圧することができる。一方、非選択メモリ素子の制御電極には約9ボルトを印加する。また、予め、このメモリ・ストリングに接続されたビット線BLには例えば

0ボルトを印加し、第1の選択トランジスタDSGのゲート電極に電源電圧 V_{cc} を印加し、第2の選択トランジスタSSGのゲート電極には0ボルトを印加する。これによって、選択メモリ素子においては、制御電極とチャネル形成領域との間の電位差(約18ボルト)に基づき、チャネル形成領域から浮遊電極への電子の注入が生じる結果、データが選択メモリ素子に書き込まれる。一方、非選択メモリ素子においては、制御電極とチャネル形成領域との間には大きな電位差が生ぜず(具体的には、約9ボルトの電位差しか生ぜず)、チャネル形成領域から浮遊電極への電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧は当初の値から変化せず、当初のデータが非選択メモリ素子に保持される。

【0011】一方、他のメモリ・ストリングにおける他の選択メモリ素子の制御電極にもプリチャージ電圧 V_{prch} (11ボルト)が印加され、次いで、ワード線がワード線制御回路から電気的に切り離された後、ブースター電極にブースト電位 V_{boost} (11ボルト)が印加される。これによって、層間絶縁膜を介したブースター・プレート層と制御電極との容量結合に基づき、制御電極の電位が約18ボルトに昇圧される。この他のメモリ・ストリングに接続されたビット線BLに V_{cc} を印加し、第1の選択トランジスタDSGのゲート電極に V_{cc} を印加し、第2の選択トランジスタSSGのゲート電極には0ボルトを印加する。これによって、制御電極の電位とチャネル形成領域の電位($V_{cc}-V'_{th}$ であり、 V'_{th} は第1の選択トランジスタDSGの閾値電圧である)との間の電位差に基づき、他の選択メモリ素子のチャネル形成領域が約8ボルトに昇圧される。そして、その結果、ほぼ同時に、第1の選択トランジスタDSGは非導通状態となり、チャネル形成領域の電位(約8ボルト)が保持される。これによって、チャネル形成領域から浮遊電極への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0012】上述の文献に開示されたメモリ・ストリングにおいては、ブースター電極と制御電極との容量結合によって制御電極の昇圧を行うことができるので、従来よりも低いプリチャージ電圧 V_{prch} (11ボルト)を用いても、メモリ素子にデータを書き込むことが可能となる。

【0013】

【発明が解決しようとする課題】上述の文献に開示されたメモリ・ストリングにあつては、制御電極の電位とチャネル形成領域の電位との比は、メモリ素子構造によって決定されるブースター電極と制御電極との容量結合、制御電極と浮遊電極との結合容量及び浮遊電極とチャネル形成領域との結合容量に依存する。従って、例えば、ブースター電極と制御電極との容量結合を一層増加させることができれば、また、ブースター電極と浮遊電極との間に容量結合を形成することができれば、プリチャー

ジ電圧 V_{prch} やブースト電位 V_{boost} の低電圧化が可能となる。即ち、プリチャージ電圧 V_{prch} やブースト電位 V_{boost} を生成するための回路の面積縮小化を図ることができる。

【0014】セルフ・ブースト法を採用したNANDストリング型メモリセルのメモリ・ストリング全体を層間絶縁膜を介してブースター・プレート層で被覆する技術が、文献“A Novel Booster Plate Technology in High Density NAND Flash Memories for Voltage Scaling-Down and Zero Program Disturbance”, D.J. Choi, et al., 1996 Symposium on VLSI Technology Digest of Technical Paper, pp238-239 から公知である。メモリ・ストリング全体を層間絶縁膜を介してブースター・プレート層で被覆することによって、制御電極と浮遊電極との間の結合容量を増加させることができる結果、プログラム電位 V_{pgm} 等の低電圧化を図ることが可能となる。しかしながら、この文献に開示された技術においては、ブースター・プレート層にはプログラム電位 V_{pgm} を印加するだけであり、ブースター・プレート層にブースト電位 V_{boost} を印加するものではなく、ブースター・プレート層に電位を印加することによって、ブースター・プレート層と制御電極との容量結合に基づき制御電極を昇圧する技術に関しては開示も示唆もなされていない。

【0015】一方、メモリ素子の微細化を進める場合には、チャネル形成領域の不純物濃度を高める必要がある。ところで、チャネル形成領域の不純物濃度を高めると、浮遊電極とチャネル形成領域との結合容量が大きくなる。それ故、セルフ・ブースト法によって他の選択メモリ素子のチャネル形成領域の電位を昇圧したとき、他の選択メモリ素子のチャネル形成領域の電位が余り上昇せず、他の選択メモリ素子において、制御電極の電位とチャネル形成領域の電位の差が大きくなり、ディスタープ特性が劣化するといった問題が生じる。即ち、他の選択メモリ素子に対するディスタープ特性のマージンが無くなる可能性がある。

【0016】従って、本発明の目的は、プログラム電位等の低電圧化を図ることができ、ワード線制御回路等の縮小化を図ることができ、しかも、メモリ素子構造等に依存することなく、メモリ素子を微細化しても、メモリ素子へのデータ書き込みに際してチャネル形成領域における電位を確実に制御し得る不揮発性半導体メモリセル、及びかかる不揮発性半導体メモリセルにおけるデータ書き込み制御方法を提供することにある。

【0017】

【課題を解決するための手段】上記の目的を達成するための本発明の不揮発性半導体メモリセルは、(イ)基体に形成されたソース／ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続され

たメモリ・ストリング、(ロ)各制御電極に接続された複数のワード線、(ハ)メモリ・ストリングの一端のメモリ素子の一方のソース／ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、並びに、

(ニ)メモリ・ストリングの他端のメモリ素子の一方のソース／ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、を具備した不揮発性半導体メモリセルであって、(ホ)メモリ・ストリングを構成する各メモリ素子の制御電極の頂面及び側面、電荷蓄積部の側面、並びに、ソース／ドレイン領域を被覆する層間絶縁膜、(ヘ)層間絶縁膜上に形成され、且つ、メモリ・ストリングを構成する各メモリ素子の制御電極の頂面の上方から制御電極の側面の上方及び電荷蓄積部の側面の上方を経由してソース／ドレイン領域の上方へと延在するブースター・プレート層、並びに、(ト)ワード線制御回路と各ワード線との間に設けられ、メモリ素子へのデータ書き込みに際して、各ワード線をワード線制御回路から電氣的に切り離すためのスイッチ用トランジスタ、を更に具備することを特徴とする。尚、「側面の上方」とは、側面の法線方向であって、側面から離れた位置を意味する。

【0018】上記の目的を達成するための本発明の不揮発性半導体メモリセルにおけるデータ書き込み制御方法は、(イ)基体に形成されたソース／ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、(ロ)各制御電極に接続された複数のワード線、(ハ)メモリ・ストリングの一端のメモリ素子の一方のソース／ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、(ニ)メモリ・ストリングの他端のメモリ素子の一方のソース／ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、(ホ)メモリ・ストリングを構成する各メモリ素子の制御電極の頂面及び側面、電荷蓄積部の側面、並びに、ソース／ドレイン領域を被覆する層間絶縁膜、(ヘ)層間絶縁膜上に形成され、且つ、メモリ・ストリングを構成する各メモリ素子の制御電極の頂面の上方から制御電極の側面の上方及び電荷蓄積部の側面の上方を経由してソース／ドレイン領域の上方へと延在するブースター・プレート層、並びに、(ト)ワード線制御回路と各ワード線との間に設けられ、メモリ素子へのデータ書き込みに際して、各ワード線をワード線制御回路から電氣的に切り離すためのスイッチ用トランジスタ、を具備した不揮発性半導体メモリセルにおけるデータ書き込み制御方法であって、メモリ素子へのデータ書き込みに際して、スイッチ用トランジスタを導通状態として、ワード線にプログラム電位を印加することによって制御電極の電位をプログラム電位とした後、ブースター・プレート層にブースト電位を印

加することによって、層間絶縁膜を介したブースター・プレート層と制御電極との容量結合に基づき、制御電極の電位を昇圧させ、且つ、スイッチ用トランジスタを非導通状態とすることによりワード線をワード線制御回路から電気的に切り離すことを特徴とする。

【0019】本発明の不揮発性半導体メモリセルにおけるデータ書き込み制御方法においては、メモリ素子へのデータ書き込みに際して、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子の制御電極の電位の昇圧による制御電極と電荷蓄積部との容量結合及び電荷蓄積部とチャネル形成領域との容量結合に基づき、更には、ブースター・プレート層と電荷蓄積部との容量結合並びにブースター・プレート層とソース/ドレイン領域との容量結合に基づき、該他のメモリ・ストリングにおけるデータの書き込みが禁止されたメモリ素子のチャネル形成領域を昇圧する。

【0020】本発明の不揮発性半導体メモリセル、及び不揮発性半導体メモリセルにおけるデータ書き込み制御方法においては、メモリ・ストリング全体を層間絶縁膜を介してブースター・プレート層で被覆する。そして、隣接するメモリ・ストリング全体をも連続して層間絶縁膜を介してブースター・プレート層で被覆することが好ましく、例えば多数のメモリ・ストリングで構成されたブロックを単位として、かかる1ブロック分の多数のメモリ・ストリングを層間絶縁膜を介してブースター・プレート層で被覆することが好ましい。即ち、ブースター・プレート層はブロック毎に独立していることが好ましい。ブースター・プレート層にブースト電位を印加するための制御回路は、ワード線制御回路内に設けてもよく、あるいは又、ビット線制御回路内に設けてもよい。

【0021】本発明の不揮発性半導体メモリセル、及び不揮発性半導体メモリセルにおけるデータ書き込み制御方法においては、電荷蓄積部を、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜上に形成された浮遊電極、及び、浮遊電極と制御電極との間に形成された絶縁層から成る構成とすることができる。即ち、各メモリ素子を、所謂、浮遊電極型メモリ素子とすることができる。

【0022】あるいは又、本発明の不揮発性半導体メモリセル、及び不揮発性半導体メモリセルにおけるデータ書き込み制御方法においては、電荷蓄積部を、チャネル形成領域上に形成された第1の酸化膜、第1の酸化膜上に形成された窒化膜、及び、窒化膜と制御電極との間に形成された第2の酸化膜から成る構成とすることができる。即ち、各メモリ素子を、所謂、MONOS型メモリ素子とすることができる。

【0023】更には、本発明の不揮発性半導体メモリセル、及び不揮発性半導体メモリセルにおけるデータ書き

込み制御方法においては、電荷蓄積部を、チャネル形成領域上に形成された酸化膜、及び、酸化膜と制御電極との間に形成された窒化膜から成る構成とすることができる。即ち、各メモリ素子を、所謂、MNOS型メモリ素子とすることができる。

【0024】あるいは又、本発明の不揮発性半導体メモリセル、及び不揮発性半導体メモリセルにおけるデータ書き込み制御方法においては、電荷蓄積部を、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜上に形成された導電性微小結晶粒子、及び、導電性微小結晶粒子と制御電極との間に形成された絶縁層から成る構成とすることができる。即ち、各メモリ素子を、所謂、ナノクリスタル型メモリ素子とすることができる。

【0025】本発明における基体としては、p型半導体基板、若しくは、p型ウエルを挙げることができる。尚、p型ウエルは、n型半導体基板内に形成されていてもよいし、p型半導体基板内に形成されたn型ウエル内に形成されていてもよい。また、不揮発性半導体メモリセルの全てが1つのp型ウエル内に形成されていてもよいし、複数のp型ウエル内に複数の不揮発性半導体メモリセルを形成してもよい。制御電極は、例えば、不純物を含有するポリシリコン層、不純物を含有するポリシリコン層とタングステンシリサイド等のシリサイド層の積層構造（ポリサイド構造）、タングステン等の高融点金属材料層や、シリサイド層から構成することができる。ブースター・プレート層も、例えば、不純物を含有するポリシリコン層、不純物を含有するポリシリコン層とタングステンシリサイド等のシリサイド層の積層構造（ポリサイド構造）、タングステン等の高融点金属材料層や、シリサイド層から構成することができる。層間絶縁膜を構成する材料として、BPSG、PSG、BSG、AsSG、PbSG、SbSG、NSG、SOG、LT₂O（Low Temperature Oxide、低温CVD-SiO₂）、HTO（High Temperature Oxide、高温CVD-SiO₂）、SiN、SiON、あるいは、これらの材料の積層構造〔例えばONO膜（SiO₂膜/SiN膜/SiO₂膜）、ON膜（SiO₂膜/SiN膜）〕を挙げることができる。

【0026】メモリ素子を浮遊電極型メモリ素子とする場合、電荷蓄積部を構成するトンネル絶縁膜は、半導体基板の表面を例えば熱酸化処理、あるいは熱酸化処理及び窒化処理することによって形成することができる。SiO₂、SiO₂/SiN、SiON、SiO₂/SiON等から構成することができる。浮遊電極は、例えば、不純物を含有するポリシリコンから構成することができる。浮遊電極と制御電極との間に形成された絶縁層は、ONO膜、ON膜、SiO₂膜、SiN膜、SiON膜等から構成することができる。

【0027】メモリ素子をMONOS型メモリ素子とする場合、電荷蓄積部を構成する第1及び第2の酸化膜を

SiO₂膜とし、窒化膜をSiN膜とすることができる。即ち、電荷蓄積部をONO膜から構成することができる。また、メモリ素子をMNOS型メモリ素子とする場合、電荷蓄積部を構成する酸化膜をSiO₂膜とし、窒化膜をSiN膜とすることができる。即ち、電荷蓄積部をON膜から構成することができる。

【0028】メモリ素子をナノクリスタル型メモリ素子とする場合、トンネル絶縁膜は、半導体基板の表面を例えば熱酸化処理、あるいは熱酸化処理及び窒化処理することによって形成することができ、SiO₂、SiO₂/SiN、SiON、SiO₂/SiON等から構成することができる。また、導電性微小結晶粒子は、シリコンやゲルマニウムから構成することができる。更には、導電性微小結晶粒子と制御電極との間に形成された絶縁層は、ONO膜、ON膜、SiO₂膜、SiN膜、SiON膜等から構成することができる。

【0029】第1の選択トランジスタ、第2の選択トランジスタ及びスイッチ用トランジスタは、例えば、通常のnチャンネル型MOS FETから構成することができる。

【0030】尚、本発明の不揮発性半導体メモリセル、及び不揮発性半導体メモリセルにおけるデータ書き込み制御方法においては、浮遊電極への電子の注入、浮遊電極からの電子の引き抜きにより、データの書き込み、消去が行われ、データ書き込み動作及び消去動作はファウラー・ノルドハイム (Fowler-Nordheim) ・トンネル現象に基づき行われる。ここで、データ消去動作とは、複数のメモリ素子の閾値電圧をブロック毎に一括して所定の状態に変えることを意味し、データ書き込み動作とは、ページ単位で選択メモリ素子の閾値電圧をもう1つの所定の状態に変えることを意味する。

【0031】本発明においては、層間絶縁膜上に形成され、且つ、メモリ・ストリングを構成する各メモリ素子の制御電極の頂面の上方から制御電極の側面の上方及び電荷蓄積部の側面の上方を経由してソース/ドレイン領域の上方へと延在するブースター・プレート層が設けられているので、ブースター・プレート層と制御電極との容量結合が、制御電極の頂面だけでなく側面にも基づき形成される。それ故、ブースター・プレート層と制御電極との容量結合を増加させることができる。従って、ブースター・プレート層にブースト電位V_{boost}を印加することによって層間絶縁膜を介したブースター・プレート層と制御電極との容量結合に基づき制御電極の電位を昇圧するとき、プログラム電位V_{pgm}やブースト電位V_{boost}の低電圧化を図ることができる。しかも、ブースター・プレート層と電荷蓄積部との容量結合、並びにブースター・プレート層とソース/ドレイン領域との容量結合を得ることができるので、他のメモリ・ストリングにおけるデータ書き込みを行わない他の選択メモリ素子のチャネル形成領域の昇圧を確実に行うことができ、

ディスタープ特性が劣化するといった問題の発生を確実に回避することができる。

【0032】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態(以下、実施の形態と略称する)に基づき本発明を説明する。

【0033】(実施の形態1) 実施の形態1におけるメモリ素子は、浮遊電極型メモリ素子である。実施の形態1のメモリ・ストリング等の模式的な一部断面図を図1に示し、等価回路を図3に示す。また、図1の矢印A-Aに沿った隣接する複数のメモリ・ストリング等の模式的な一部断面図を図2の(A)に示す。即ち、図1は、ビット線と平行な垂直面でメモリ素子のチャネル形成領域やソース/ドレイン領域を切断したときの図であり、図2の(A)は、ワード線と平行な垂直面でメモリ素子のチャネル形成領域を切断したときの図である。更に、1つのメモリ素子の模式的な断面図を図2の(B)に示す。

【0034】実施の形態1のメモリ・ストリングは、電気的書き換えが可能なメモリ素子(浮遊電極型メモリ素子)が、複数、直列接続されている。図に示したメモリ・ストリングにおいては、8つのメモリ素子M₀~M₇が直列接続されているが、メモリ・ストリングを構成するメモリ素子の数は8に限定されない。各メモリ素子は、基体に相当するp型ウェル11Bに形成されたソース/ドレイン領域13及びチャネル形成領域12、チャネル形成領域12上に形成された電荷蓄積部14、15、16、並びに、電荷蓄積部上に形成された制御電極17から構成されている。制御電極17は、例えば、不純物を含有するポリシリコン層から構成されている。また、制御電極17のそれぞれには、ワード線が接続されている。具体的には、制御電極17とワード線とは一体に形成されている。実施の形態1のNANDストリング型メモリセルは、また、メモリ・ストリングの一端のメモリ素子M₀に接続された第1の選択トランジスタDSG、及びメモリ・ストリングの他端のメモリ素子M₇に接続された第2の選択トランジスタSSGから構成されている。そして、メモリ・ストリングの一端のメモリ素子M₀の一方のソース/ドレイン領域13は、第1の選択トランジスタDSG、コンタクトプラグ21を介してビット線BLに接続されている。一方、メモリ・ストリングの他端のメモリ素子M₇の一方のソース/ドレイン領域13は、第2の選択トランジスタSSGを介して共通ソース線に接続されている。ビット線BLは、図示しないビット線制御回路に接続されている。実施の形態1におけるビット線制御回路は、ビット線毎に設けられたCMOSフリップフロップとアドレスレコーダを主体に構成された周知の回路とすればよい。

【0035】実施の形態1のNANDストリング型メモリセルにおいては、メモリ・ストリングを構成する各メ

メモリ素子 $M_0 \sim M_7$ の制御電極17の頂面及び側面、電荷蓄積部14, 15, 16の側面、並びに、ソース/ドレイン領域13は、層間絶縁膜18によって被覆されている。更には、ブースター・プレート層19が、層間絶縁膜18上に形成され、且つ、メモリ・ストリングを構成する各メモリ素子 $M_0 \sim M_7$ の制御電極17の頂面の上方から制御電極17の側面の上方及び電荷蓄積部14, 15, 16の側面の上方を經由してソース/ドレイン領域16の上方へと延在している。即ち、ブースター・プレート層19は層間絶縁膜18を介してメモリ・ストリング全体を被覆している。更には、例えば512個のメモリ・ストリングで構成されたブロックを単位として、かかる1ブロック分の512×8個のメモリ素子が層間絶縁膜18を介してブースター・プレート層19で被覆されている。尚、1ブロック内のメモリ素子の個数はかかる個数に限定されない。層間絶縁膜18は SiO_2 から構成されており、ブースター・プレート層19は、不純物を含有するポリシリコン層とタングステンシサイド層の2層構成(ポリサイド構造)である。

【0036】ワード線制御回路は、図4に示すように、ブロックアドレスレコーダと電圧変換回路とnチャネル型MOSトランジスタによる電圧転送回路とドライバー(駆動回路)から構成された周知の回路とすればよいが、このワード線制御回路には、ブースター・プレート層19にブースト電位 V_{boost} を印加するための制御回路(ブースター・プレート層制御回路)が組み込まれている。このブースター・プレート層制御回路は、ブースト電位 V_{boost} を出力するPLドライバーとMOSトランジスタから構成されている。

【0037】nチャネル型MOS FETから構成されたスイッチ用トランジスタ $WC_0 \sim WC_7$ (図3及び図4参照)が、ワード線制御回路と各ワード線との間に設けられている。そして、メモリ素子 $M_0 \sim M_7$ へのデータ書き込みに際して、スイッチ用トランジスタ $WC_0 \sim WC_7$ を非導通状態とすることによって、各ワード線をワード線制御回路から電気的に切り離すことができる。

【0038】実施の形態1においては、電荷蓄積部は、チャネル形成領域12上に形成されたトンネル絶縁膜14、トンネル絶縁膜14上に形成された浮遊電極15、及び、浮遊電極15と制御電極17との間に形成された絶縁層16から成る。尚、トンネル絶縁膜14は SiO_2 から成り、浮遊電極15は不純物を含有するポリシリコン層から構成されており、絶縁層16はONO膜から構成されている。

【0039】ワード線制御回路及びブースター・プレート層制御回路を示す図4、各メモリ素子に印加される電位(電圧)の値を例示した図表である図5、データ書き込み動作及びデータ読み出し動作における信号波形を示す図6、並びに、選択メモリ素子等の制御電極の電位を模式的に示す図7を参照して、以下、実施の形態1のN

ANDストリング型メモリセルのデータ書き込み動作、データ読み出し動作及びデータ消去動作を説明する。

【0040】尚、メモリ・ストリングを構成するメモリ素子 $M_0 \sim M_7$ の内のメモリ素子 M_1 にデータを書き込む場合を想定する。即ち、メモリ素子 M_1 を選択メモリ素子とし、メモリ素子 M_0 , $M_2 \sim M_7$ を非選択メモリ素子とする。この選択メモリ素子 M_1 を含むメモリ・ストリングを、便宜上、選択メモリ・ストリングと呼ぶ。また、選択メモリ素子 M_1 に接続されたワード線を選択ワード線と呼び、非選択メモリ素子 M_0 , $M_2 \sim M_7$ に接続されたワード線を非選択ワード線と呼ぶ。更には、選択ワード線に接続された他のNANDストリング型メモリセルにおける他の選択メモリ素子を M'_1 で表す。この他の選択メモリ素子 M'_1 においては、データの書き込みが禁止される。即ち、この他の選択メモリ素子 M'_1 にデータが書き込まれず、当初のデータが保持される。他の選択メモリ素子 M'_1 を含むメモリ・ストリングを、便宜上、非選択メモリ・ストリングと呼ぶ。また、第1の選択トランジスタDSGのゲート電極はメモリ・ストリング選択線1に接続されており、第2の選択トランジスタSSGのゲート電極はメモリ・ストリング選択線2に接続されている。

【0041】書き込み動作の開始前の書き込みセットアップにおいては、先ず、ビット線制御回路のビット線毎に設けられたCMOSフリップフロップに書き込みデータをラッチする。そして、選択メモリ・ストリングに接続されたビット線の電位 V_{BL} 「0」を0ボルトとし、非選択メモリ・ストリングに接続されたビット線の電位 V_{BL} 「1」を V_{cc} とする。また、共通ソース線の電位(= ϕ_s)及びシリコン半導体基板10の電位を0ボルトとする。また、スイッチ用トランジスタ $WC_0 \sim WC_7$ のゲート電極には電位 $\phi_{W0} \sim \phi_{W7}$ (= V_{pgm})を印加し、導通状態とする。

【0042】書き込み動作の開始において、ブロックアドレスレコーダの出力信号は選択ブロックにおいては「H」となり、電圧変換回路の V_{pp} RWが V_{cc} からプログラム電位 V_{pgm} に昇圧される。また、DSGドライバーは V_{cc} (= ϕ_{SG1})を、SSGドライバーは0ボルト(= ϕ_{SG2})を、CG0ドライバー、CG2ドライバー \sim CG7ドライバーは $V_{cc} \sim (V_{pgm} - 2)$ ボルト程度の電位(図6において、「 ϕ_{WL1} 以外」で表す)を、それぞれ、出力する。また、CG1ドライバーはプログラム電位 V_{pgm} (ϕ_{WL1})(例えば、9 \sim 11ボルト)を出力する。更には、PLドライバーは、後に、ブースト電位(ϕ_{boost})を出力する。

【0043】選択メモリ・ストリングにおいては、ビット線BLの電位が0ボルトであり、メモリ・ストリング選択線1の電位が V_{cc} であるが故に、第1の選択トランジスタDSGが導通し、メモリ・ストリング選択線2の電位が0ボルトであるが故に、第2の選択トランジスタ

SSGは非導通状態となる。そして、ビット線BLの電位がメモリ素子のソース／ドレイン領域13へと転送される。選択メモリ素子M₁においては、選択ワード線の電位(ϕ_{WL_1})が V_{pgm} であるため、制御電極17の電位も V_{pgm} となる。

【0044】次に、ブースター・プレート層19にブースター・プレート層制御回路からブースト電位 V_{boost} (例えば、9～11ボルト)を印加する。これによって、層間絶縁膜18を介したブースター・プレート層19と制御電極17との容量結合に基づき制御電極17の電位が昇圧され、制御電極17の電位は例えば18ボルト($=V_{up}$)となる。しかも、スイッチ用トランジスタWC₁のソース領域側の電位が上昇する結果、スイッチ用トランジスタWC₁は非導通状態となり、ワード線がワード線制御回路から電気的に切り離される。以上の結果、制御電極17とチャネル形成領域12との間の電位差に基づき、チャネル形成領域12から浮遊電極15への電子の注入が生じ、選択メモリ素子M₁の閾値電圧が当初の負から正方向にシフトし、データが選択メモリ素子M₁に書き込まれる。一方、非選択メモリ素子M₀、M₂～M₇においては、スイッチ用トランジスタWC₀、WC₂～WC₇は導通状態であり、非選択ワード線の電位(ϕ_{WL_i} 以外)が $V_{cc} \sim (V_{pgm} - 2)$ ボルト程度であるため、制御電極17とチャネル形成領域12との間には大きな電位差が生ぜず、チャネル形成領域12から浮遊電極15への電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧は当初の値から変化せず、当初のデータが非選択メモリ素子M₀、M₂～M₇に保持される。

【0045】一方、非選択メモリ・ストリングにおいては、ビット線BLの電位が V_{cc} であり、第1の選択トランジスタDSGは導通状態にある。そして、他の選択メモリ素子M' ₁においても、選択ワード線の電位(ϕ_{WL_1})が V_{pgm} であるため、他の選択メモリ素子M' ₁の制御電極17の電位も V_{pgm} となる。次に、ブースター・プレート層19にブースター・プレート層制御回路からブースト電位 V_{boost} が印加される。その結果、層間絶縁膜18を介したブースター・プレート層19と制御電極17との容量結合に基づき、制御電極17の電位が昇圧され、制御電極17の電位は例えば18ボルト($=V_{up}$)となる。しかも、スイッチ用トランジスタWC₁のソース領域側の電位が上昇する結果、スイッチ用トランジスタWC₁は非導通状態となり、ワード線がワード線制御回路から電気的に切り離される。以上の結果、他の選択メモリ素子の制御電極17の電位の昇圧による制御電極17と浮遊電極15との容量結合及び浮遊電極15とチャネル形成領域12との容量結合に基づき、更には、ブースター・プレート層19と浮遊電極15との容量結合並びにブースター・プレート層19とソース／ドレイン領域13との容量結合に基づき、他の選択メモリ

素子M' ₁のチャネル形成領域12が例えば8ボルト程度に昇圧され、ほぼ同時に、第1の選択トランジスタDSGのソース領域側の電位が上昇する結果、第1の選択トランジスタDSGは非導通状態となり、チャネル形成領域12の電位が保持される。その結果、チャネル形成領域12から浮遊電極17への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0046】データ読み出し動作においては、ビット線BLに例えば1.5ボルトを印加し、メモリ・ストリング選択線1の電位(ϕ_{SG_1})及びメモリ・ストリング選択線2の電位(ϕ_{SG_2})を V_{cc} とし、第1の選択トランジスタDSG及び第2の選択トランジスタSSGを導通状態とする。ブースター・プレート層19には0ボルト又は V_{cc} を印加する。また、選択ワード線に0ボルトを印加し、非選択ワード線には $V_{cc} \sim (V_{pgm} - 2)$ ボルト程度を印加する。これによって、非選択メモリ素子M₀、M₂～M₇は導通状態となる。一方、選択メモリ素子M₁の閾値電圧 V_{th} に依存して、選択メモリ素子M₁は導通状態あるいは非導通状態となる。即ち、選択メモリ素子にデータ「0」が保持されている場合には、選択メモリ素子M₁は非導通状態となり、ビット線BLの電位は1.5ボルトを保持する。また、選択メモリ素子にデータ「1」が保持されている場合には、選択メモリ素子M₁は導通状態となり、ビット線BLの電位は1.5ボルトよりも低下する。このビット線の電位をビット線制御回路によって検出することにより、選択メモリ素子M₀にデータ「0」あるいは「1」が保持されていることを読み出すことができる。

【0047】データ消去動作においては、ビット線BL、メモリ・ストリング選択線1、メモリ・ストリング選択線2、ブースター・プレート層19、共通ソース線の全てをフローティング状態とし、シリコン半導体基板10に V_{erase} (例えば20ボルト)を印加し、選択ブロックのワード線電位を0ボルトとする。また、非選択ブロックのワード線をフローティング状態とする。これによって、選択ブロックにおいては、浮遊電極からの電子の引き抜きによりデータが消去される。

【0048】以下、図1及び図2に示した実施の形態1のNANDストリング型メモリセルの作製方法の概要を、図8～図10を参照して説明する。

【0049】[工程-100] 先ず、p型のシリコン半導体基板10に素子分離領域を形成し、n型ウエル11A、p型ウエル11Bを形成した後、シリコン半導体基板10の表面にトンネル絶縁膜14を形成し、次いで、トンネル絶縁膜14上に浮遊電極15を形成する。具体的には、先ず、シリコン半導体基板10にLOCOS構造を有する素子分離領域を形成し、n型ウエル11A、p型ウエル11Bをイオン注入法等によって形成した後、熱酸化法に基づき、シリコン半導体基板10の表面

にトンネル酸化膜14を形成する。次に、不純物を含有するポリシリコンから成る第1の導電体層を全面にCVD法にて成膜した後、第1の導電体層をパターニングすることによって、メモリ素子の浮遊電極15を形成する。その後、ONO膜から成る絶縁層16を全面に成膜した後、メモリ素子を形成すべき領域以外の領域の絶縁層16、浮遊電極15及びトンネル絶縁膜14をエッチングすることによって除去する。次いで、熱酸化法に基づき、シリコン半導体基板10の露出した表面に第1の選択トランジスタDSG、第2の選択トランジスタSSG等のゲート絶縁膜を形成する。その後、全面に不純物を含有するポリシリコンから成る第2の導電体層を全面にCVD法にて成膜した後、第2の導電体層をパターニングし、更に、メモリ素子を形成すべき領域の絶縁層16をパターニングする。これによって、メモリ素子を形成すべき領域においては、トンネル絶縁膜14上に形成された第1の導電体層から成る浮遊電極15、浮遊電極15上に形成された絶縁層16、及び絶縁層16上に形成された第2の導電体層から成る制御電極17を形成することができる。一方、選択トランジスタを形成すべき領域においては、ゲート絶縁膜の上に形成された第2の導電体層から成るゲート電極を形成することができる(図8参照)。

【0050】[工程-110] 次に、制御電極17及びゲート電極と素子分離領域とで囲まれた半導体基板10にリン又はヒ素といった不純物をイオン注入することによって、ソース/ドレイン領域13を形成する(図9参照)。制御電極17の下にシリコン半導体基板10にはチャンネル形成領域12が形成される。

【0051】[工程-120] その後、 SiO_2 から成る層間絶縁膜18をCVD法にて全面に堆積させ、次いで、かかる層間絶縁膜18の上に、不純物を含有するポリシリコン層及びタングステンシリサイド層をCVD法にて順次成膜してブースター・プレート層19を形成した後、ブースター・プレート層19がブロック毎に独立するように、ブースター・プレート層19及び層間絶縁膜18をパターニングする(図10参照)。

【0052】[工程-130] その後、 SiO_2 から成る層間絶縁層20を全面に成膜し、第1の選択トランジスタDSGの一方のソース/ドレイン領域の上方の層間絶縁層20に開口部をRIE法にて形成し、更に、この開口部内を含む層間絶縁層20上に金属配線材料層を成膜した後、金属配線材料層をパターニングすることによってビット線BLを形成する。こうして、図1及び図2に示したNANDストリング型メモリセルを製造することができる。

【0053】(実施の形態2) 実施の形態2は、実施の形態1の変形であり、メモリ素子がMONOS型メモリ素子である点が実施の形態1と相違している。NANDストリング型メモリセルのその他の構造は、実施の形態

1と同様とすることができる。図11の(A)に、MONOS型メモリ素子の模式的な断面図を示す。実施の形態2においては、電荷蓄積部は、チャンネル形成領域12上に形成された第1の酸化膜(SiO_2 膜)31、第1の酸化膜31上に形成された窒化膜(SiN 膜)32、及び、窒化膜32と制御電極17との間に形成された第2の酸化膜(SiO_2 膜)から成る。即ち、電荷蓄積部はONO膜構造を有する。これらの膜は、周知のCVD法にて成膜すればよい。

【0054】(実施の形態3) 実施の形態3も、実施の形態1の変形であり、メモリ素子がMNOS型メモリ素子である点が実施の形態1と相違している。NANDストリング型メモリセルのその他の構造は、実施の形態1と同様とすることができる。図11の(B)に、MNOS型メモリ素子の模式的な断面図を示す。実施の形態3においては、電荷蓄積部は、チャンネル形成領域12上に形成された酸化膜(SiO_2 膜)41、及び、酸化膜41と制御電極17との間に形成された窒化膜(SiN 膜)42から成る。即ち、電荷蓄積部はON膜構造を有する。これらの膜は、周知のCVD法にて成膜すればよい。

【0055】(実施の形態4) 実施の形態4も、実施の形態1の変形であり、メモリ素子がナノクリスタル型メモリ素子である点が実施の形態1と相違している。NANDストリング型メモリセルのその他の構造は、実施の形態1と同様とすることができる。図12にナノクリスタル型メモリ素子の模式的な断面図を示す。実施の形態4においては、電荷蓄積部は、チャンネル形成領域12上に形成されたトンネル絶縁膜51、トンネル絶縁膜51上に形成された導電性微小結晶粒子52、及び、導電性微小結晶粒子52と制御電極17との間に形成された絶縁層53から成る。導電性微小結晶粒子52はSiから構成されており、半球状である。ナノクリスタル型メモリ素子の詳細に関しては、例えば、文献"Volatile and Non-Volatile Memories in Silicon with Nano-Crystal Storage", Sandip Tiwari, et al., IEDM 95, pp521-524 (20.4.1-20.4.4)、あるいは、文献"Fast and Long Retention-Time Nano-Crystal Memory", H.I. Hanafi, et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 43, No. 9, September 1996, pp1554-1558を参照されたい。

【0056】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態にて説明した不揮発性半導体メモリセルの製造方法や使用材料は例示であり、また、不揮発性半導体メモリセルの構造も例示であり、適宜、変更することができる。また、発明の実施の形態においては、「0」及び「1」の2値を記憶する不揮発性半導体メモリセルを例にとり説明を行ったが、1つのメモリ素子に2ビットあるいはそれ以上の、即ち、3値以上の多

値データを記憶する不揮発性半導体メモリセルに本発明を適用することもできる。

【0057】

【発明の効果】本発明においては、ブースター・プレート層と制御電極との容量結合に基づき制御電極の電位を昇圧することによってメモリ素子にデータを書き込むので、プログラム電位 V_{pgm} やブースト電位 V_{boost} の低電圧化を図ることができる。しかも、ブースター・プレート層は制御電極の側面とも容量結合しているので、制御電極の昇圧効率を一層増加させることができる。その結果、デコーダーの面積や昇圧回路の面積を縮小化することが可能となり、集積化が進んだ際にあっても周辺回路の面積縮小化に対応することができる。また、ディスタープ特性に関しても、データの書き込みが禁止された他の選択メモリ素子の制御電極の電位の昇圧による制御電極と電荷蓄積部との容量結合及び電荷蓄積部とチャネル形成領域との容量結合のみならず、ブースター・プレート層と電荷蓄積部との容量結合並びにブースター・プレート層とソース／ドレイン領域との容量結合に基づき、他のメモリ・ストリングにおける他の選択メモリ素子のチャネル形成領域を昇圧することができるので、不揮発性半導体メモリセルの微細化が進み、チャネル形成領域の不純物濃度を高濃度化しなくても、ディスタープ特性が劣化するといった問題を確実に回避することができる、他の選択メモリ素子に対するディスタープ特性のマージンが無くなることはない。

【図面の簡単な説明】

【図1】発明の実施の形態1の不揮発性半導体メモリセルの模式的な一部断面図である。

【図2】図1とは別の角度から眺めた発明の実施の形態1の不揮発性半導体メモリセルの模式的な一部断面図、及び1つのメモリ素子を拡大した模式的な断面図である。

【図3】発明の実施の形態1の不揮発性半導体メモリセルの等価回路図である。

【図4】制御回路及びワード線制御回路の回路図である。

【図5】発明の実施の形態1の不揮発性半導体メモリセルの各メモリ素子に印加される電位（電圧）の値を例示した図表である。

【図6】発明の実施の形態1の不揮発性半導体メモリセルにおいて、データ書き込み動作及びデータ読み出し動作における信号波形を示す図である。

【図7】選択メモリ素子等の制御電極等の電位を模式的に示す図である。

【図8】発明の実施の形態1の不揮発性半導体メモリセルの製造方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図9】図8に引き続き、発明の実施の形態1の不揮発性半導体メモリセルの製造方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図10】図9に引き続き、発明の実施の形態1の不揮発性半導体メモリセルの製造方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図11】発明の実施の形態2及び発明の実施の形態3におけるメモリ素子の模式的な断面図である。

【図12】発明の実施の形態4におけるメモリ素子の模式的な断面図である。

【図13】従来のNANDストリング型不揮発性半導体メモリセルの模式的な一部断面図である。

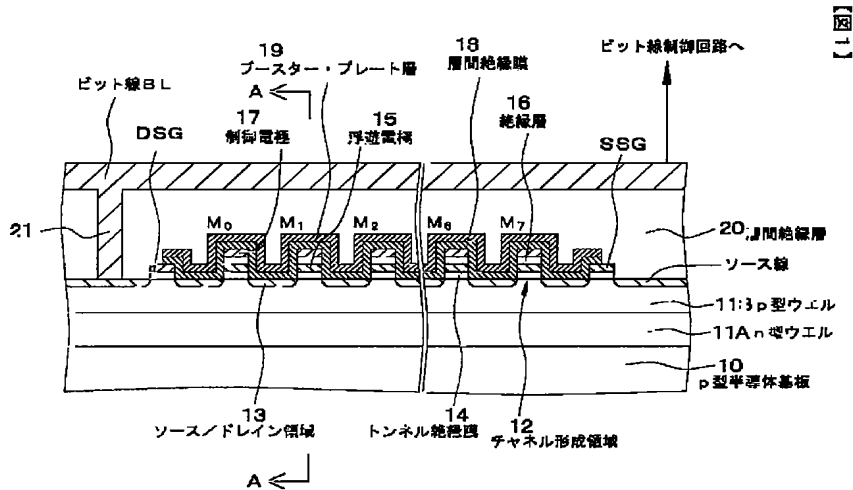
【図14】従来のNANDストリング型不揮発性半導体メモリセルの等価回路図である。

【図15】NANDストリング型不揮発性半導体メモリセルの各メモリ素子の閾値電圧 V_{th} の分布を模式的に示す図である。

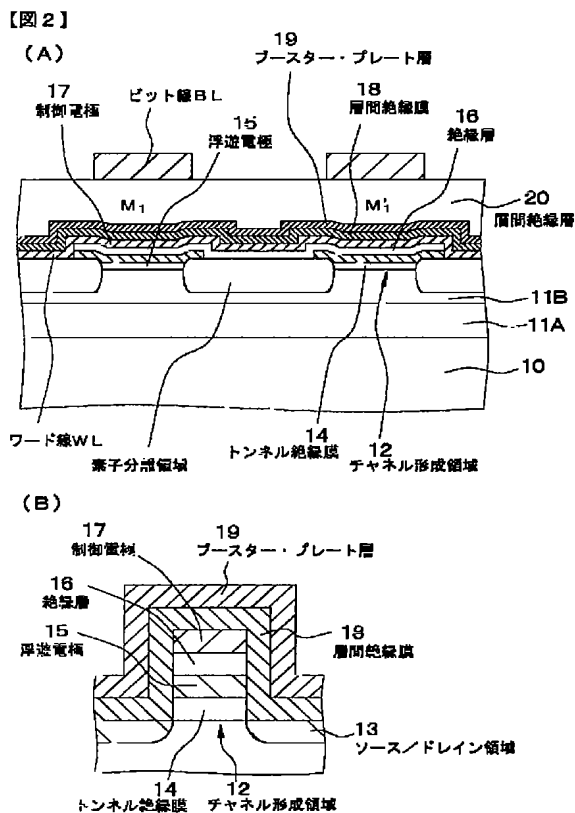
【符号の説明】

10・・・p型シリコン半導体基板、11A・・・n型ウエル、11B・・・p型ウエル、12・・・チャネル形成領域、13・・・ソース／ドレイン領域、14・・・トンネル絶縁膜、15・・・浮遊電極、16・・・絶縁層、17・・・制御電極、18・・・層間絶縁膜、19・・・ブースター・プレート層、20・・・層間絶縁層、21・・・コンタクトプラグ、31・・・第1の酸化膜、32・・・窒化膜、33・・・第2の酸化膜、41・・・酸化膜、42・・・窒化膜、51・・・トンネル絶縁膜、52・・・導電性微小結晶粒子、53・・・絶縁層、 $M_0 \sim M_7$ ・・・メモリ素子、DSG・・・第1の選択トランジスタ、SSG・・・第2の選択トランジスタ、BL・・・ビット線

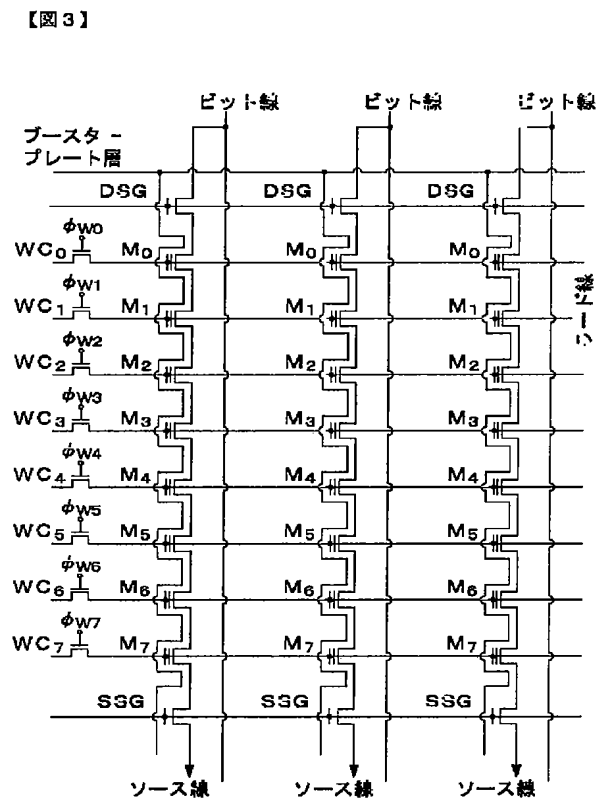
【图 1】



【図2】

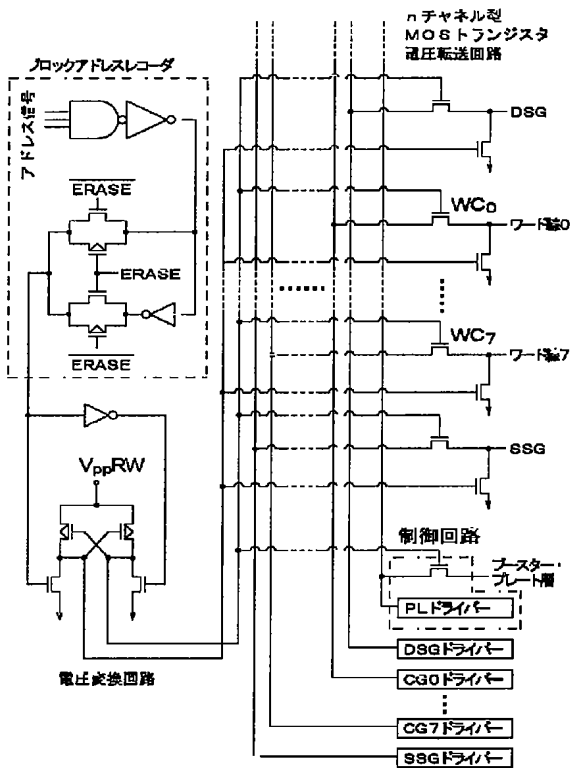


【図3】



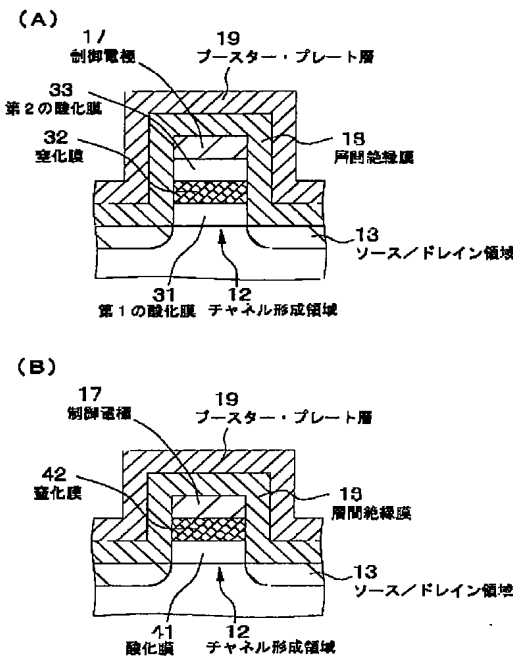
【図4】

【図4】



【図11】

【図11】



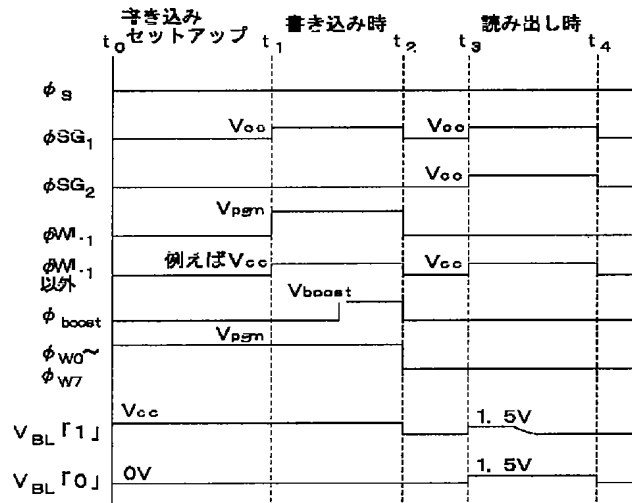
【図5】

(単位: ボルト)

電 位	書き込み時		読み出し時	消 去 時	
	「0」	「1」		選択ブロック	非選択ブロック
ビット線	0	V_{∞}	1. 5	フローティング	フローティング
メモリ・ストリング 選択線 1	V_{∞}	V_{∞}	V_{∞}	フローティング	フローティング
ブースター プレート層	V_{boost}	V_{boost}	V_{∞} 又は 0	フローティング	フローティング
選択ワード線	V_{pgm}	V_{pgm}	0	0	—
非選択ワード線	$V_{\infty} \sim$ $V_{pgm}-2$	$V_{\infty} \sim$ $V_{pgm}-2$	$V_{\infty} \sim$ $V_{pgm}-2$	—	フローティング
メモリ・ストリング 選択線 2	0	0	V_{∞}	フローティング	フローティング
共通ソース線	0又は V_{∞}	0又は V_{∞}	0	フローティング	フローティング
半導体基板	0	0	0	V_{erase}	V_{erase}

【図5】

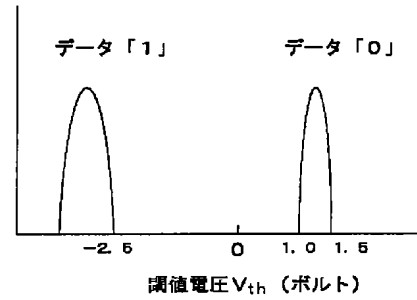
【図6】



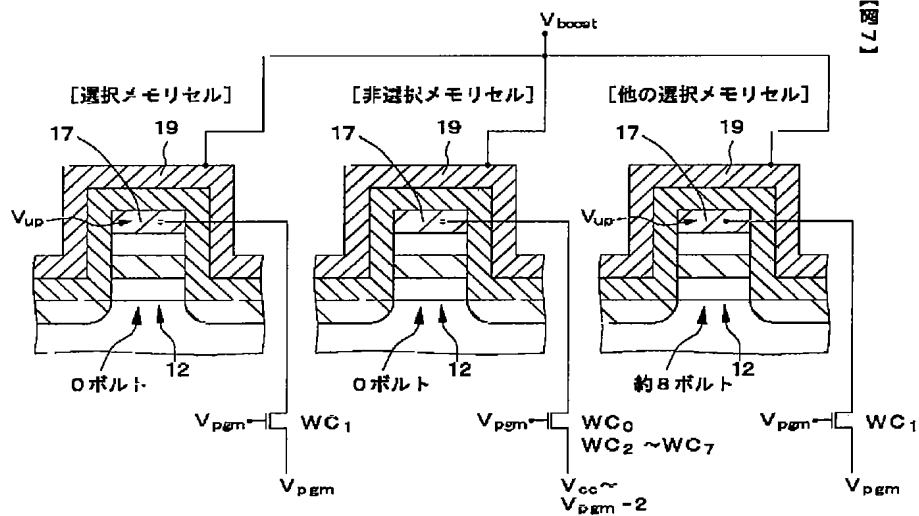
【図15】

【図15】

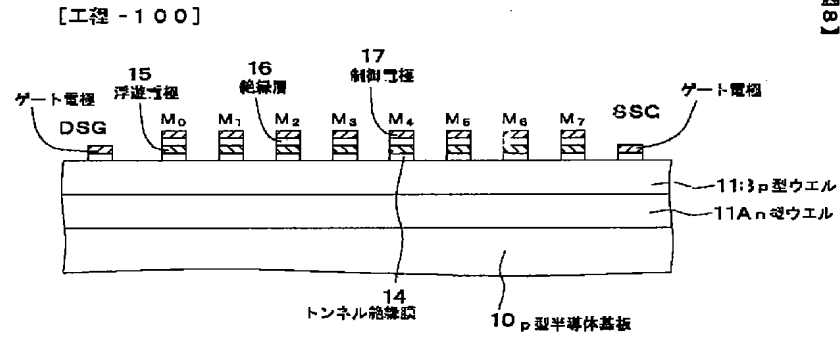
所望の閾値電圧を有する
メモリ素子の個数
(単位: 任意)



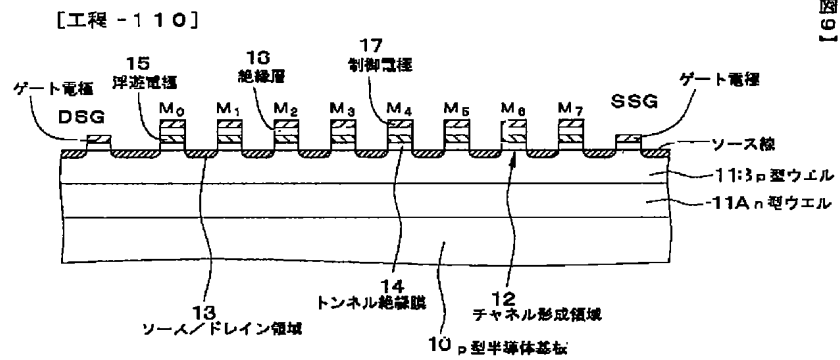
【図7】



【図8】

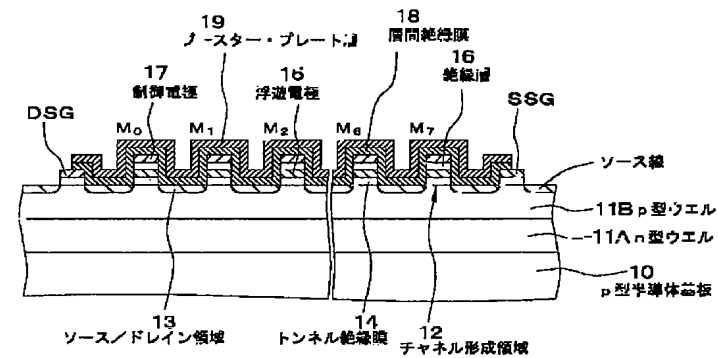


【図9】



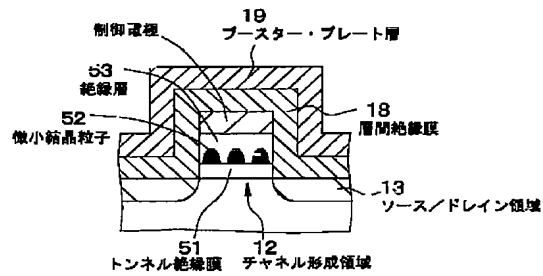
【図10】

【工程 - 120】



【図12】

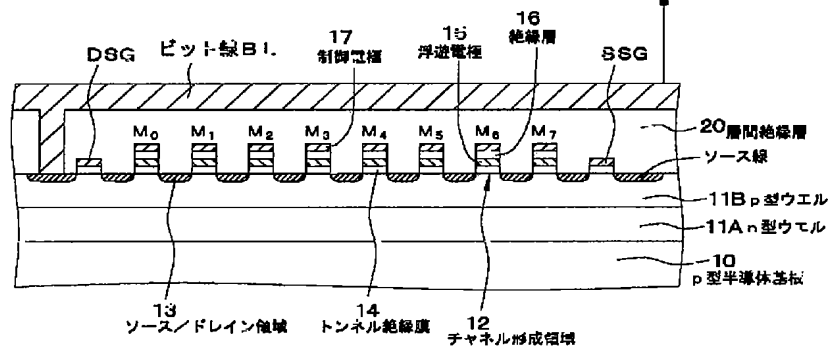
【図12】



【図13】

【従来のNANDストリング型メモリセル】

ビット線制御回路へ

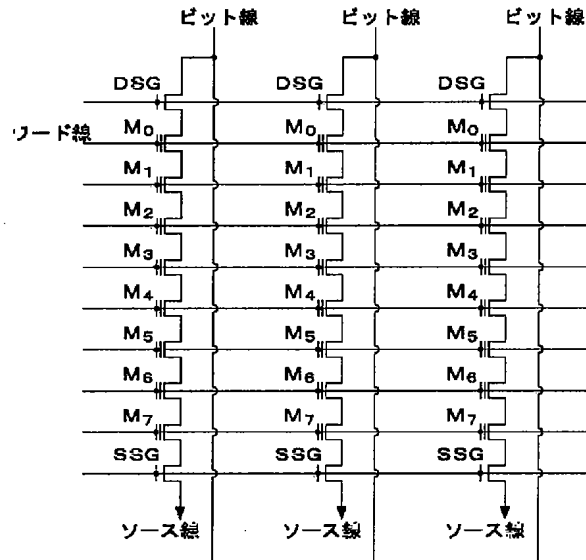


【図13】

【図14】

【図14】

〔従来のNANDストリング型メモリセル〕



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

(参考)

H 0 1 L 27/115

F ターム(参考) 5B025 AA01 AA04 AA07 AC01 AD03

AE07

5F001 AA14 AA19 AA25 AB08 AB09

AB20 AC02 AD03 AD12 AD41

AD44 AD53 AD62 AE02 AE08

AE30 AG02 AG03 AG12 AG21

AG28

5F083 EP02 EP09 EP18 EP23 EP30

EP32 EP55 EP76 ER03 ER09

ER14 ER21 GA05 GA22 GA30

JA02 JA04 JA32 JA35 JA39

JA53 KA01 KA05 KA11 KA19

LA12 LA16 LA19 LA20 NA02

PR12 PR21 PR36